

**MODELO DE PLANO DE ENSINO  
FICHA Nº 2 (variável)**

Disciplina: Otimização de Sistemas Digitais		Código: TE260
Natureza: ( X ) obrigatória ( ) optativa	Semestral ( X ) Anual ( ) Modular ( )	
Pré-requisito: Não há	Co-requisito: Não há	
Modalidade: ( X ) Presencial ( ) EaD ( ) 20% EaD		
C.H. Semestral Total: 30h C.H. Anual Total: C.H. Modular Total:  PD: 30 LB: 00 CP: 00 ES: 00 OR: 00 C.H. Semanal: 02h		
<b>EMENTA (Unidades Didáticas)</b>		
Algoritmos de minimização de lógica exata e heurística. Técnicas de síntese lógica multi-nível e mapeamento tecnológico. Otimização de lógicas combinacionais e sequenciais. Otimização de alto nível de sistemas digitais.		
<b>PROGRAMA (itens de cada unidade didática)</b>		
1. INTRODUÇÃO 1.1. Fluxo e estilos de projeto 1.2. Modelamento de hardware 2. SÍNTESE DE ALTO NÍVEL 2.1. Síntese arquitetural 2.2. Algoritmos de escalonamento 2.3. Alocação e compartilhamento de recursos 3. OTIMIZAÇÃO E SÍNTESE DE CIRCUITOS COMBINACIONAIS 3.1. Otimização de dois níveis 3.2. Otimização multi-nível 4. OTIMIZAÇÃO E SÍNTESE DE CIRCUITOS SEQUENCIAIS		
<b>OBJETIVO GERAL</b>		
O aluno deverá ser capaz de compreender o funcionamento de algoritmos de alto nível (arquitetural) e de nível lógico utilizados na otimização e síntese de circuitos combinacionais e sequenciais.		
<b>OBJETIVO ESPECÍFICO</b>		
Ensinar técnicas e algoritmos de síntese de sistemas digitais.		
<b>PROCEDIMENTOS DIDÁTICOS</b>		
Aulas teóricas expositivas e resolução de exercícios em sala de aula. Serão utilizados os seguintes recursos: quadro branco, computador e projetor multimídia.		

# PLANO DE ENSINO

FICHA Nº 2 (variável)

## FORMAS DE AVALIAÇÃO

Os alunos serão avaliados através de duas provas escritas e de um trabalho. A nota final será por:

$$MF = 0,8(A1+A2)/2 + 0,2T$$

onde: MF é a média final; A1 e A2 são as avaliações escritas e tem peso de 80% na média final; T é a nota do trabalho e tem peso de 20%.

## BIBLIOGRAFIA BÁSICA (3 títulos)

- Micheli, G. D. Synthesis and Optimization of Digital Circuits. Hightstown NJ, McGraw-Hill, 1994.
- Hachtel, G. D. Somenzi, F. Logic Synthesis and Verification Algorithms. Nova York, Springer, 1996.
- Hassoun, S. Sasao, T. Logic Synthesis and Verification. Norwell, Kluwer Academic Publishers, 2001

## BIBLIOGRAFIA COMPLEMENTAR (2 títulos)

- Sasao, T. Switching Theory for Logic Synthesis. Norwell, Kluwer Academic Publishers, 1999.
- Wang, L. T. Chang, Y. W. Cheng, K. T. Electronic Design Automation: Synthesis, Verification and Test. Burlington, Morgan Kaufmann, 2009.

**Professor da Disciplina:** Marcos Vinicio Haas Rambo

**Assinatura:** \_\_\_\_\_

**Chefe de Departamento:** Prof. Eduardo Parente Ribeiro

**Assinatura:** \_\_\_\_\_

Legenda:

Conforme Resolução 15/10-CEPE: PD- Padrão LB – Laboratório CP – Campo ES – Estágio OR - Orientada